

Silicide layers are formed at electrode lead-out portions of p-n junction diodes which are connected in parallel and in directions opposite to each other between the gate and source of a junction field effect transistor. Accordingly, the time to stabilize an electret condenser microphone is shortened.

Specifically, as for the diode Di2 area, a p<sup>+</sup>-type semiconductor region 5 is formed in an n-type semiconductor region 2 which is surrounded by a p-type semiconductor region 1, and thus a p-n junction portion 7 is formed. The silicide layers 6 are formed respectively at the lead-out portions of the metal electrodes 9 of both the diode Di1 area and the diode Di2 area, and thus strains are introduced only in the diode areas by volume shrinkage. That is, by the volume shrinkage occurred when forming the silicide layers, the strains are introduced only in the diode areas, and thus a structure, in which the lifetime of carriers are shortened and impedance is lowered, is obtained.

562-174975

⑩ 日本国特許庁 (J P)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A)

昭62-174975

⑬ Int. Cl.

H 01 L 29/80  
29/46  
29/80  
29/91

識別記号

庁内整理番号

C-8122-5F  
A-7638-5F  
Z-8122-5F  
A-7638-5F

⑭ 公開 昭和62年(1987)7月31日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭61-17114

⑰ 出 願 昭61(1986)1月28日

⑱ 発 明 者 鮫 島 博 之 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑲ 発 明 者 萩 本 佳 三 東京都港区芝5丁目33番1号 日本電気株式会社内  
 ⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
 ㉑ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

接合型電界効果トランジスタのゲートとソースとの間に p-n 接合型ダイオードが逆方向で並列に接続されている半導体装置において、該 p-n 接合型ダイオードが電極取り出し部にシリサイド層を有することを特徴とする半導体装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は半導体装置に関し、特にエレクトレットコンデンサマイクロホン (以降 ECM と呼ぶ) に使用する接合型電界効果トランジスタ (以降 J-FET と呼ぶ) に関するものである。

## 〔従来の技術〕

従来、この種の ECM 用 J-FET は第 4 図に示

すような使い方をされる。第 4 図において、音声等が ECM に入ると、ECM の振動板 10 が振動し、その容量変化が J-FET のゲート G に伝えられ増幅する働きをする。このとき、J-FET の入力インピーダンスを下げて ECM の安定時間を早める必要があり、第 2 図に示すようにゲート G とソース S との間に p-n 接合型ダイオード Di 1 および Di 2 が逆方向・並列に接続された構成となっていた。

すなわち、ECM 用 J-FET は第 5 図に示すように、電源  $V_{DD}$  を投入すると、ゲート G の電位  $V_G$  は時定数  $\tau_1$  でピーク値  $V_{Gmax}$  になった後、放電されて定常値  $V_{G0}$  になる。この時の時定数  $\tau_2$  を安定時間と呼んでいるが、ゲート G - ソース S 間にダイオードが挿入されていない場合には放電がほとんどないため、安定時間は異常に長いものとなり、ECM が安定に働くまでに長時間を要することになる。

## 〔発明が解決しようとする問題点〕

上述した従来の ECM 用 J-FET はゲート G -

特開昭62-174975(2)

ソースS間に挿入されたダイオードにより、ダイオードが挿入されていない場合よりは入力インピーダンスは低くなり安定時間は短くなっているが、製品によっては、7~10秒要しており、電源投入直後は出力が歪んでしまい電話機等に使用する場合は支障があった。

p-n接合ダイオードの電流-電圧特性(V-I特性)は次式(1)のように表わされ、ゲートG-ソースS間のインピーダンスも次式(1)で決定されるダイオードが逆方向に接続されたものとして考えることができる。

$$I = qA \left( \frac{D_p}{L_p} p_n + \frac{D_n}{L_n} n_p \right) \left( \exp \left( \frac{qV}{mkT} \right) - 1 \right) \quad (1)$$

Aは接合面積、mは1~2の値をもつ定数、

$D_p$  と  $D_n$  は正孔と電子の拡散定数、

$L_p \equiv \sqrt{D_p \tau_p}$  は正孔の拡散距離、

$L_n \equiv \sqrt{D_n \tau_n}$  は電子の拡散距離、

$p_n$  は平衡状態におけるn領域での正孔密度  $\approx n_i^2 / N_D$ 、

もつながる。③のキャリアのライフタイムを下げることは熱歪を入れる等により比較的容易であり、従来のECM用J-FETでも安定時間改善のため熱歪を入れたものもある。しかし熱歪を入れるということは、ダイオード部だけではなくJ-FET部にも歪が入ることになり、ノイズが大きくなってしまふという欠点がある。

〔問題点を解決するための手段〕

本発明の半導体装置は、接合型電界効果トランジスタのゲートとソースとの間にp-n接合型ダイオードが逆方向で並列に接続されている半導体装置において、このp-n接合型ダイオードが電極取り出し部にシリサイド層を有していることを特徴としている。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の縦断面構造図である。J-FET部、Di1部、Di2部を区分して示してある。J-FET部は、P型半導体領域1により取り囲まれたn型半導体領域2内にゲート領

$n_p$  は平衡状態におけるP領域での電子密度

$$\approx n_i^2 / N_A,$$

$n_i$  は室温(300K)では  $n_i \approx 1.5 \times 10^{10} / \text{cm}^3$ 、

$N_D, N_A$  はドナーおよびアクセプタ濃度。

従来のECM用J-FETの安定時間がやや長いという問題は、p-n接合ダイオードのインピーダンスが高いということであり、インピーダンスを下げるには(1)式より、

① 接合面積Aを大きくする。

② p-n接合ダイオードのドナーおよびアクセプタ濃度  $N_D$  および  $N_A$  を小さくする。

③ キャリアのライフタイム  $\tau_p, \tau_n$  を小さくする。

ことにより可能である。

しかしながら①の接合面積を大きくすることはコスト上不利であり、また容量も大きくなってしまふ。また②のp-n接合ダイオードのドナー、アクセプタ濃度  $N_D, N_A$  を小さくすることは、ダイオード部とJ-FET部との製造方法を変更しなければならず、工程が複雑になり、コストupに

域となるP<sup>+</sup>型半導体領域5と、ソースS及びドレインDのオーミックコンタクト領域4とが形成されている。ダイオードDi1部はP型半導体領域1により取り囲まれたn型半導体領域2内にn<sup>+</sup>型オーミックコンタクト領域4が形成され、P型半導体領域1とn型半導体領域2とでpn接合部7が形成されている。ダイオードDi2部はP型半導体領域1により取り囲まれたn型半導体領域2にP<sup>+</sup>型半導体領域5が形成され、n型半導体領域2とP<sup>+</sup>型半導体領域5とでpn接合部7が形成されている。ダイオードDi1部、Di2部の金属電極9の取り出し部にはシリサイド層6が形成され、ダイオード部へのみ体積収縮により歪が入れられている。すなわち、シリサイド層形成の際に起こる体積収縮により、ダイオード部へのみ歪を入れ、キャリアのライフタイム  $\tau_p, \tau_n$  を小さくしてインピーダンスを下げた構造となっている。

〔発明の効果〕

以上説明したように本発明は、ECM用J-FET

$n^+$  型ホーミックコンタクト領域、5 ---  $p^+$  型  
半導体領域、6 --- シリサイド領域、7 ---  $pn$   
接合部、8 --- 酸化膜、9 --- 金属電極、10 ---  
振動板。

代理人 弁理士 内 原 晋

第1図は本発明の一実施例のECM用J-FETの縦断面構造図、第2図はECM用J-FETの等価回路図、第3図は従来のECM用J-FETの縦断面構造図、第4図はECMの構成図、第5図はゲート電圧 $V_G$ の安定時間を説明するためのグラフである。

第 1 圖

1: 绝缘材料  
2: 导电材料  
3: P型半导体  
4: N型半导体  
5: P型半导体  
6: N型半导体  
7: P型半导体  
8: P型半导体  
9: 金属电极

S

G

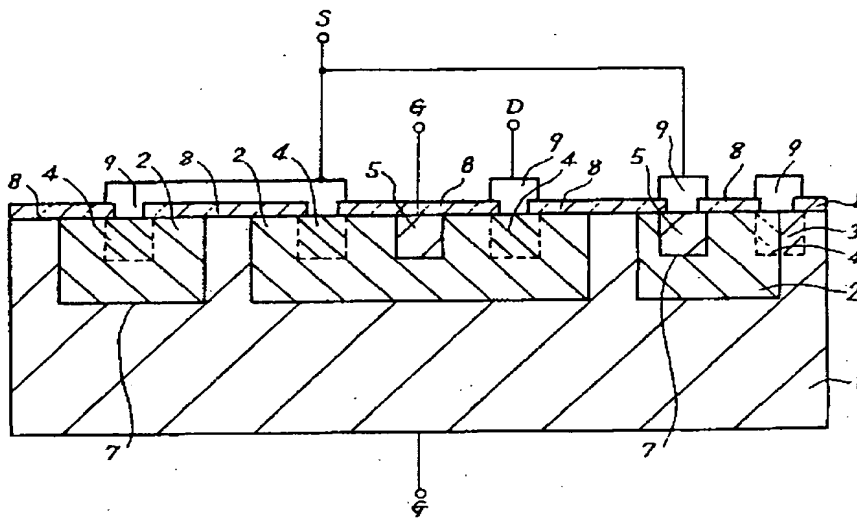
D:1

J-FET

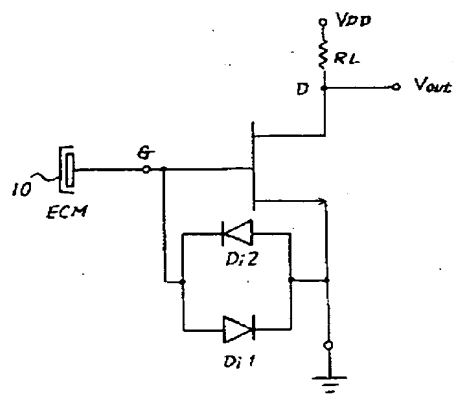
D:2

The diagram shows a J-FET with its gate terminal connected to ground (G). Two diodes, Di1 and Di2, are connected in parallel between the gate and source terminals. The source terminal (S) is connected to the source of the J-FET. The drain terminal (D) is also shown, connected to the drain of the J-FET.

第 3 圖



第 4 圖



第 5 圖

